



⑳ Aktenzeichen: P 34 25 235.5-32
㉑ Anmeldetag: 14. 7. 84
㉒ Offenlegungstag: —
㉓ Veröffentlichungstag
der Patenterteilung: 27. 2. 86

DE 3425235 C1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

㉔ Patentinhaber:
bso Steuerungstechnik GmbH, 6603 Sulzbach, DE

㉕ Vertreter:
Bartels, H.; Fink, H., Dipl.-Ing.; Held, M., Dipl.-Ing.
Dr.-Ing., Pat.-Anw., 7000 Stuttgart

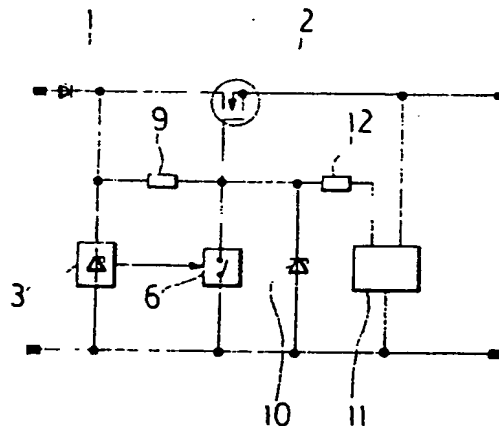
㉖ Erfinder:
Morsch, Joachim, 6690 St Wendel, DE

㉗ Im Prüfungsverfahren entgegengehaltene
Druckschriften nach § 44 PatG:

DE-AS 25 29 883
US 35 71 608

㉘ Schaltungsanordnung zum Schutze elektronischer Schaltungen gegen Überspannung

Eine Schaltungsanordnung zum Schutze elektronischer Schaltungen gegen Überspannung mit einer Serienstabilisierung weist einen V-Mos-Transistor (2) als Längsregler auf, der bis zu einem gewählten oberen Grenzwert der Eingangsspannung voll aufgesteuert ist. Eine Abschaltsteuerung (3, 6) steuert beim Ansprechen eines Schwellenschalters (3) infolge Überschreitens des oberen Grenzwertes der Eingangsspannung den V-Mos-Transistor (2) in den vollständig gesperrten Zustand.



Patentansprüche:

1. Schaltungsanordnung zum Schutze elektronischer Schaltungen gegen Überspannung mit einer Seriennstabilisierung durch einen als Längsregler im Längszweig liegenden Transistor, der bis zu einem gewählten Grenzwert der Eingangsspannung voll aufgesteuert ist, mit einer Abschaltsteuerung, die einen Schwellenschalter aufweist, bei dessen Ansprechen infolge Überschreitens des oberen Grenzwertes der Eingangsspannung ein im Absteuerstrompfad des als Längsregler wirkenden ersten Transistors liegender zweiter Transistor der Abschaltsteuerung angesteuert wird, dadurch gekennzeichnet, daß sowohl der erste Transistor (2) als auch der zweite Transistor (6) ein V-MOS-Transistor ist und daß der erste Transistor (2) ohne einen vor- oder nachgeschalteten Widerstand im Längszweig liegt.

2. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch einen Ausgangsspannungsbegrenzer (10), der zusammen mit einem Widerstand (9) einen Spannungsteiler für die Eingangsspannung bildet, an dessen Abgriffe das Gate des als Längsregler dienenden V-MOS-Transistors (2) liegt.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Ausgangsspannungsbegrenzer (10) parallel zu dem vom Schwellenschalter (3) angesteuerten V-MOS-Transistor (6) liegt.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, gekennzeichnet durch einen eine Ansteuerungsspannung für die Aufsteuerung des als Längsregler dienenden V-MOS-Transistors (2) liefernden Spannungsverdoppler (11).

Die Erfindung betrifft eine Schaltungsanordnung zum Schutze elektronischer Schaltungen gegen Überspannung, welche die Merkmale des Oberbegriffs des Anspruches 1 aufweist (US-PS 35 71 608).

Bei einer bekannten Schaltungsanordnung zum Überlastschutz (DE-AS 25 29 883) ist unterhalb eines oberen Grenzwertes des durch den Längszweig fließenden Stromes der zusammen mit einem Vorwiderstand im Längszweig liegende Transistor voll aufgesteuert. Wird dieser Grenzwert des Stromes überschritten, dann wird entsprechend dem zunehmenden Spannungsabfall am Vorwiderstand ein in einem Querzweig der Schaltungsanordnung liegender zweiter Transistor mehr und mehr geöffnet, was wiederum ein allmähliches Sperren des im Längszweig liegenden Transistors und damit einen größer werdenden Spannungsabfall im Längszweig zur Folge hat. Die Spannungsbegrenzung ist deshalb mit erheblichen Verlusten verbunden.

Eine bekannte Schaltungsanordnung der eingangs genannten Art (US-PS 35 71 608) weist zusätzlich zu einem Widerstand im Längszweig, einem ersten npn-Transistor im Längszweig und einem zweiten npn-Transistor in einem Querzweig einer Zener-Diode im Basisstromkreis des zweiten Transistors auf. Hierdurch wird zwar eine Spannungsbegrenzung nicht nur durch den Spannungsabfall im Längszweig bewirkt, sondern auch dadurch, daß beim Erreichen der Durchbruchspannung der Zener-Diode der im Längszweig liegende erste Transistor gesperrt wird. Für hohe Ströme im Längs-

zweig ist diese Schaltungsanordnung demnach nicht geeignet.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art zu schaffen, die für wesentlich höhere Ströme im Längszweig verwendbar ist. Diese Aufgabe löst eine Schaltungsanordnung mit den kennzeichnenden Merkmalen des Anspruches 1.

Da im Längszweig nur ein V-MOS-Transistor liegt und dieser im leitenden Zustand einen Widerstand von wenigen mOhm hat, ist der Durchlaßwiderstand der erfindungsgemäßen Schutzschaltung sehr gering, was eine entsprechend hohe Strombelastbarkeit ergibt. Im gesperrten Zustand des im Längszweig liegenden V-MOS-Transistors ist die nachfolgende elektronische Schaltung abgeschaltet und die Verlustleistung im V-MOS-Transistor auf Null reduziert. Auch insgesamt ist der Eigenversuch der erfindungsgemäßen Schaltungsanordnung gering. Da die Umsteuerung des im Längszweig liegenden V-MOS-Transistors in den gesperrten Zustand beim Ansprechen des Schwellenschalters sprunghaft erfolgt, ist die maximale Eingangsspannung, bei der die Vollabschaltung erfolgt, in einfacher Weise festlegbar. Vorteilhaft ist ferner die einfache Möglichkeit, die Schaltungsanordnung zwischen die Spannungsquelle und die zu schützende elektronische Schaltung in deren Versorgungsleitung einzubauen. Hinzu kommt, daß mit Hilfe einer Diode in der einen Eingangsleitung der Schaltungsanordnung ein Verpolungsschutz realisiert werden kann. Mit den auf dem Markt befindlichen, als Längsregler in Frage kommenden V-MOS-Transistoren läßt sich ein Schutz gegen Wechselüberspannungen bis zu 600 Volt und gegen Spannungsspitzen bis etwa 1000 Volt erzielen. Die Anwendungsmöglichkeiten der erfindungsgemäßen Lösung sind deshalb vielseitig. Beispielsweise lassen sie sich mit Vorteil in der Sensortechnik und in der Kraftfahrzeug-Elektronik sowie im Mobilbereich zum Schutze aller elektronischer Baugruppen in Fahrzeugen verwenden. Da auch sehr hohe Forderungen an Sicherheit gegen Spannungsspitzen ohne Schwierigkeiten erfüllt werden können, bestehen außerdem Anwendungsmöglichkeiten im militärischen Bereich.

Zur Begrenzung der Ausgangsspannung ist vorzugsweise ein Ausgangsspannungsbegrenzer vorgesehen, der zusammen mit einem Widerstand einen Spannungsteiler für die Eingangsspannung bildet, an dessen Abgriff das Gate des als Längsregler dienenden V-MOS-Transistors liegt. Dies trägt zu einem geringen Schaltungsaufwand für die erfindungsgemäße Schaltungsanordnung bei.

Der Ausgangsspannungsbegrenzer, der vorzugsweise durch eine Zener-Diode gebildet ist, aber auch durch einen Varistor oder eine Glimmlampe gebildet sein könnte, ist vorteilhafterweise parallel zu dem vom Schwellenschalter angesteuerten V-Mos-Transistors geschaltet. Als Schwellenschalter kommen ein Transistor, eine Zener-Diode, ein Diac, eine Glimmröhre oder dergleichen in Frage.

Sofern der Spannungsabfall störend ist, der für die Erzeugung der Gate-Source-Spannung erforderlich ist und etwa zwischen 3 V und 4 V liegt, kann man diese Spannung in der Schaltungsanordnung erzeugen, was vorzugsweise mittels eines Spannungsverdopplers erfolgt.

Im folgenden ist die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels im einzelnen erläutert. Es zeigt

Fig. 1 ein Blockschaltbild des Ausführungsbeispiels, Fig. 2 das Schaltbild des Ausführungsbeispiels in einer Ausführung zum Schutze eines Zweileiterdruckaufnehmers.

Die als Vierpol ausgebildete Schaltungsanordnung zum Schutze einer nachgeschalteten elektronischen Schaltung gegen Überspannungen weist, wie Fig. 1 zeigt, in ihrem einen Längszweig eine Diode 1 als Verpolungsschutz und dahinter einen V-Mos-Transistor 2 der Type BUZ 50 auf. An diesen Längszweig ist zwischen der Diode 1 und dem V-Mos-Transistor 2 ein Querzweig angeschlossen, der andererseits mit dem anderen Längszweig verbunden ist und einen Schwellenschalter 3 enthält, der im Ausführungsbeispiel durch einen Kleinsignaltransistor 4 der Type BC 237 mit einem Arbeitswiderstand 5 gebildet ist.

Der Schwellenschalter 3 steuert einen elektronischen Schalter 6, der in der Verbindungsleitung vom Gate des V-Mos-Transistors 2 zum anderen Längszweig liegt und, wie Fig. 2 zeigt, im Ausführungsbeispiel durch einen V-Mos-Transistor der Type BSS 100 gebildet ist. Das Gate ist mit dem Abgriff eines parallel zum Arbeitswiderstand 5 liegenden Spannungsteilers angeschlossen, der aus einem mit dem Emitter des Kleinsignaltransistors verbundenen Widerstand 7 und einer Zener-Diode 8 besteht.

Das Gate des den Längsregler bildenden V-Mos-Transistors 2 ist ferner mit dem Abgriff eines Spannungsteilers verbunden, der aus einem Widerstand 9, der andererseits an den einen Längszweig zwischen der Diode 1 und dem V-Mos-Transistor 2 angeschlossen ist, und einem Spannungsbegrenzer 10 gebildet ist, der parallel zum elektronischen Schalter 6 liegt und im Ausführungsbeispiel durch eine Zenerdiode gebildet ist.

Bei einer in der vorstehend geschilderten Weise ausgebildeten Schaltungsanordnung könnte die Ausgangsspannung nur auf einen um die Gate-Source-Spannung des V-Mos-Transistors verminderten Wert der vom Spannungsbegrenzer 10 festgelegten Wert ansteigen. Um die Ausgangsspannung bis auf den Wert der durch den Spannungsbegrenzer 10 festgelegten Grenzwert ansteigen lassen zu können, ist ein Spannungsverdoppler 11 vorgesehen, dessen Versorgungsspannung die Ausgangsspannung der Schaltungsanordnung ist. Die vom Spannungsverdoppler 11 gelieferte Spannung liegt über einen Widerstand 12 am Gate des V-Mos-Transistors 2 an.

Wie Fig. 2 zeigt, weist der Spannungsverdoppler 11 einen Operationsverstärker 13 auf, der für beide Eingänge eine Rückkopplung hat. Der positive Eingang liegt am Abgriff eines aus zwei Widerständen 14 und 15 gebildeten Spannungsteilers, der über eine Diode 16 parallel zum Spannungsbegrenzer 10 liegt. Der negative Eingang des Operationsverstärkers 13 ist über einen Kondensator 17 mit dem den V-Mos-Transistor 2 nicht enthaltenden Längszweig verbunden. In dem Pfad zwischen dem Ausgang des Operationsverstärkers 13 und dem Gate des V-Mos-Transistors 2 liegen außer dem Widerstand 12 eine Diode 18 und ein Kondensator 19. Ferner ist dieser Pfad unmittelbar vor und hinter der Diode 18 mit dem den V-Mos-Transistor 2 enthaltenden Längszweig über eine Diode 20 und einen Kondensator 21 verbunden, wie Fig. 2 zeigt.

Mit ansteigender Eingangsspannung wird über den Widerstand 9 der V-Mos-Transistor 2 aufgesteuert. Hierdurch erhält der Spannungsverdoppler 11 eine Versorgungsspannung, wodurch seine am Gate des V-Mos-Transistors 2 anliegende Ausgangsspannung diesen

Transistor noch weiter aufsteuert, bis er vollständig angesteuert ist und einen Durchlaßwiderstand von nur noch wenigen mOhm hat.

Die Ausgangsspannung der Schaltungsanordnung wird auf den vom Spannungsbegrenzer 10 festgelegten Wert begrenzt. Erreicht die Eingangsspannung die Ansprechschwelle des Schwellenschalters 3, dann wird der elektronische Schalter 6 angesteuert, was zur Folge hat, daß der als Längsregler dienende V-Mos-Transistor 2 satt gesperrt wird. Die an den Ausgang der Schalteranordnung angeschlossene Schaltung wird hierdurch abgeschaltet und die Verlustleistung im V-Mos-Transistor 2 auf 0 reduziert.

Der den Schwellenschalter 3 bildende Kleinsignaltransistor 4 wird beim Ansprechen in der Art einer Zenerdiode betrieben. Daher könnte an seiner Stelle auch beispielsweise eine Zenerdiode verwendet werden.

Hierzu 1 Blatt Zeichnungen

- Leerseite -

Fig.1

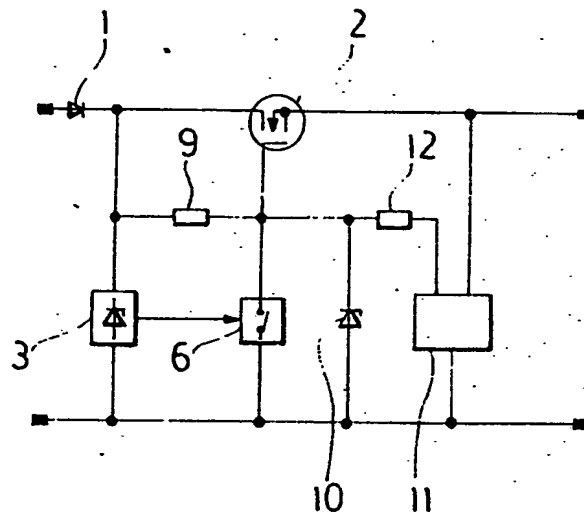
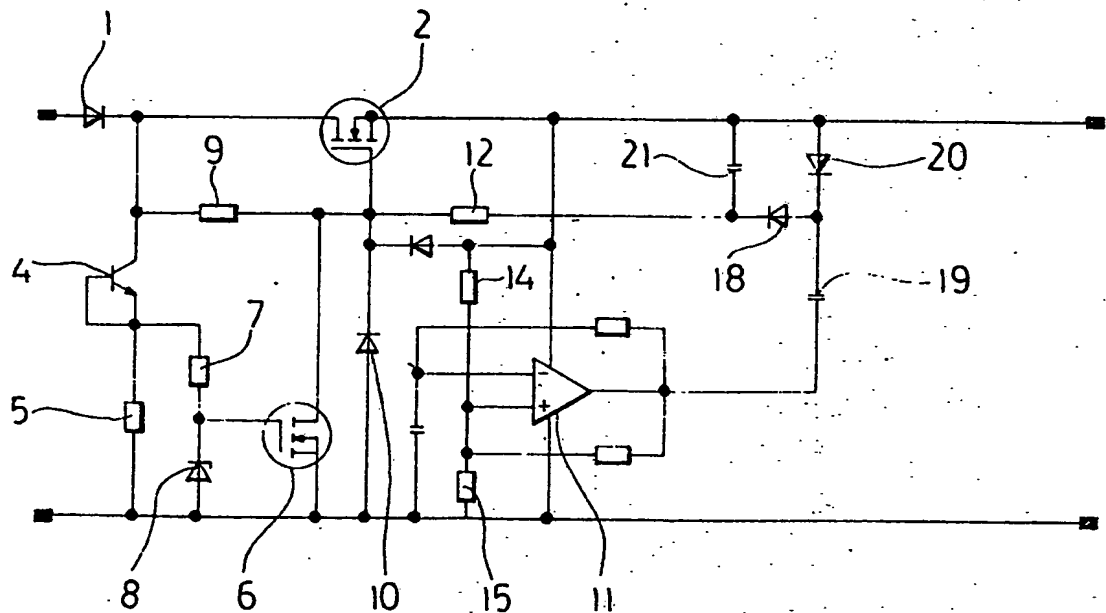


Fig.2



This Page Blank (uspto)

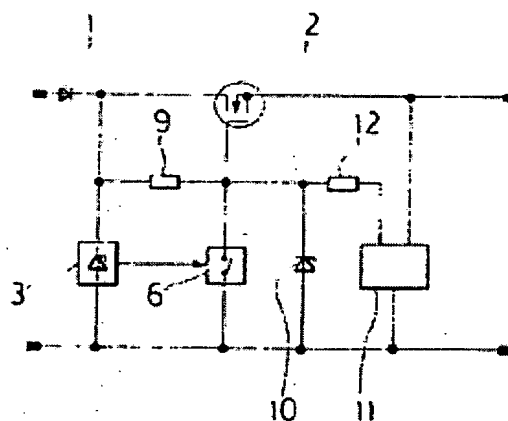
Circuit arrangement for protecting electronic circuits against overvoltage

Patent number: DE3425235
Publication date: 1992-03-12
Inventor: MORSCH JOACHIM
Applicant: BSO STEUERUNGSTECHNIK GMBH
Classification:
- **International:** H02H3/20; H02H3/20; (IPC1-7): H02H7/20
- **European:** H02H3/20B
Application number: DE19843425235 19840714
Priority number(s): DE19843425235 19840714

[Report a data error here](#)

Abstract of DE3425235

A circuit arrangement for protecting electronic circuits against overvoltage, having series stabilisation, has a VMOS transistor (2) as a series regulator which is fully driven up to a selected upper limit value of the input voltage. A disconnection controller (3, 6) drives the VMOS transistor (2) into the completely blocked state when a threshold switch (3) triggers as a consequence of the upper limit value of the input voltage being exceeded.



Data supplied from the **esp@cenet** database - Worldwide

This Page Blank (uspto)

Tel: (954) 925-1100 Fax: (954) 925-1101
Docket # 84/03 P04584
Applic. # 10/566,529
Applicant: Bolz et al.
Lerner Greenberg Sterner LLP
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101